

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-102996

(43)Date of publication of application : 15.04.1997

(51)Int.Cl.

H04R 1/40

H04R 3/00

H04R 5/04

(21)Application number : 07-257870

(71)Applicant : NIPPON HOSO KYOKAI <NHK>

(22)Date of filing : 04.10.1995

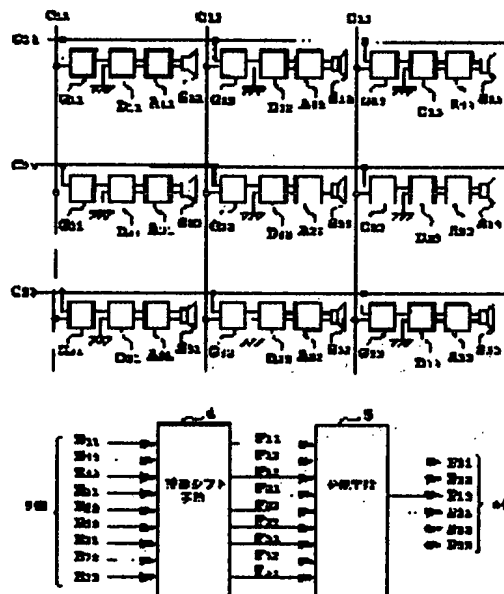
(72)Inventor : ONO KAZUO

## (54) SPEAKER DRIVER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the number of signal lines by interposing a D/A converter between an AND gate means and an amplifying means.

**SOLUTION:** The pulse width of a one-bit digital signal for each speaker is made 1/9 as wide as a sampling clock by a shaping shift means and a distributing means, the position of the pulse on a time base is shifted so that pulses can not be mutually set at the same position in one sampling clock without changing a sampling cycle, and the pulse is distributed to row and column select lines C11-C13 and C21-C23 related with respective digital signals. For example, one digital signal is generated from two digital signals simultaneously arriving through the row selecting line C11 and column selecting line C21 by an AND gate G11, the generated digital signal is D/A converted for one bit by a D/A converter D11 and a provided analog signal is amplified by an amplifier A11 and supplied to a speaker S11.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-102996

(43)公開日 平成9年(1997)4月15日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 R 1/40	3 1 0		H 0 4 R 1/40	3 1 0
3/00	3 1 0		3/00	3 1 0
5/04			5/04	Z

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平7-257870

(22)出願日 平成7年(1995)10月4日

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 小野 一穂

東京都世田谷区砧一丁目10番11号 日本放

送協会 放送技術研究所内

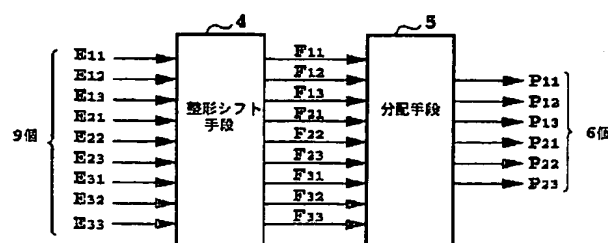
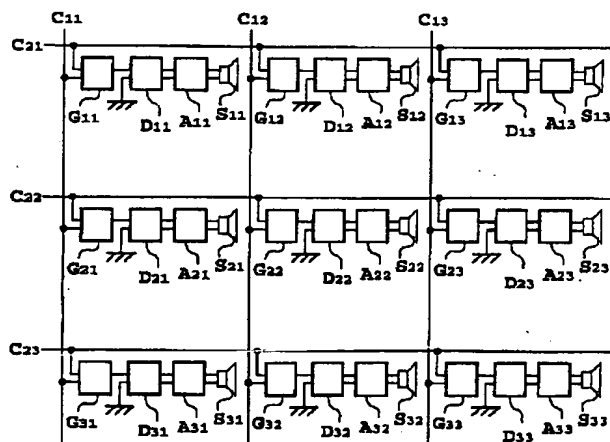
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 スピーカ駆動装置

(57)【要約】

【課題】 信号線の本数を削減する。

【解決手段】 整形シフト手段および分配手段により、各スピーカ用の1ビットデジタル信号のパルス幅をサンプリングクロックの1/9にし、時間軸上のパルスの位置をサンプリング周期を変化させず、しかも、1サンプリングクロック内で互いに同一位置にならないようにシフトさせ、各デジタル信号が関係する行、列選択線C<sub>11</sub>～C<sub>13</sub>、C<sub>21</sub>～C<sub>23</sub>に分配する。そして、例えば、行選択線C<sub>11</sub>と列選択線C<sub>21</sub>を介して同時に到達した2つのデジタル信号から1つのデジタル信号をANDゲートG<sub>11</sub>により生成し、生成されたデジタル信号をD/A変換器D<sub>11</sub>により1ビットD/A変換し、得られたアナログ信号を増幅器A<sub>11</sub>により増幅しスピーカS<sub>11</sub>に供給する。



## 【特許請求の範囲】

【請求項1】  $m \times n$  ( $m, n \geq 2$ なる整数)マトリックス状に配置した $m \times n$ 個のスピーカ $S_{11}, S_{12}, \dots, S_{mn}$ を駆動するスピーカ駆動装置において、前記各スピーカ駆動用のアナログ信号 $O_{11}, O_{12}, \dots, O_{mn}$ の1ビットアナログデジタル変換である各デジタル信号 $E_{11}, E_{12}, \dots, E_{mn}$ のパルス幅をサンプリングクロックの $m \times n$ 分の1にするとともに、時間軸上の位置をサンプリング周期を変化させず、しかも、1サンプリングクロック内で互いに同一位置にならないようにシフトさせる整形シフト手段と、 $m$ 本の行選択線 $C_{21}, C_{22}, \dots, C_{2m}$ と、 $n$ 本の列選択線 $C_{11}, C_{12}, \dots, C_{1n}$ と、前記整形シフト手段により得られたデジタル信号 $F_{11}, F_{12}, \dots, F_{mn}$ を入力とし、和信号 $P_{2p} = F_{p1} + F_{p2} + \dots + F_{pn}$  ( $p = 1, 2, \dots, m$ )を行選択線 $C_{2p}$ に分配し、和信号 $P_{1q} = F_{1q} + F_{2q} + \dots + F_{mq}$  ( $q = 1, 2, \dots, n$ )を列選択線 $C_{1q}$ に分配する分配手段と、前記各行選択線 $C_{2p}$ と前記各列選択線 $C_{1q}$ を介して同時に到達した各2つのデジタル信号 $P_{2p}, P_{1q}$ をAND演算するANDゲート手段 $G_{pq}$ と、該ANDゲート手段 $G_{pq}$ により生成された各デジタル信号を増幅し前記各スピーカ $S_{pq}$ に供給する増幅手段 $A_{pq}$ とを備えたことを特徴とするスピーカ駆動装置。

【請求項2】 請求項1記載のスピーカ駆動装置において、ANDゲート手段 $G_{pq}$ と増幅手段 $A_{pq}$ との間にD/A変換手段 $D_{pq}$ を内挿したことを特徴とするスピーカ駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マトリックス上に配列したスピーカを駆動するスピーカ駆動装置に関するものである。

## 【0002】

【従来の技術】放送メディアの1つとしてSSAV(super surround audio visual)が研究されており、このSSAV用の音声システムでは、大規模なスピーカアレイを用い、遠近感の高い立体映像に合わせて、音像の遠近感の制御や音場の能動制御が行われている。

## 【0003】

【発明が解決しようとする課題】このような音声システムでは、スピーカと信号源がそれぞれ一対の信号線で接続しており、例えば、2次元の $10 \times 10$ スピーカアレイでは、200本の信号線が必要となり、信号線の本数を削減するのに限界があった。

【0004】本発明の目的は、上記のような問題点を解決し、信号線の本数を削減することができるスピーカ駆動装置を提供することにある。

## 【0005】

【課題を解決するための手段】

1) 本発明は、 $m \times n$  ( $m, n \geq 2$ なる整数)マトリックス状に配置した $m \times n$ 個のスピーカ $S_{11}, S_{12}, \dots, S_{mn}$ を駆動するスピーカ駆動装置において、前記各スピーカ駆動用のアナログ信号 $O_{11}, O_{12}, \dots, O_{mn}$ の1ビットアナログデジタル変換である各デジタル信号 $E_{11}, E_{12}, \dots, E_{mn}$ のパルス幅をサンプリングクロックの $m \times n$ 分の1にするとともに、時間軸上の位置をサンプリング周期を変化させず、しかも、1サンプリングクロック内で互いに同一位置にならないようにシフトさせる整形シフト手段と、 $m$ 本の行選択線 $C_{21}, C_{22}, \dots, C_{2m}$ と、 $n$ 本の列選択線 $C_{11}, C_{12}, \dots, C_{1n}$ と、前記整形シフト手段により得られたデジタル信号 $F_{11}, F_{12}, \dots, F_{mn}$ を入力とし、和信号 $P_{2p} = F_{p1} + F_{p2} + \dots + F_{pn}$  ( $p = 1, 2, \dots, m$ )を行選択線 $C_{2p}$ に分配し、和信号 $P_{1q} = F_{1q} + F_{2q} + \dots + F_{mq}$  ( $q = 1, 2, \dots, n$ )を列選択線 $C_{1q}$ に分配する分配手段と、前記各行選択線 $C_{2p}$ と前記各列選択線 $C_{1q}$ を介して同時に到達した各2つのデジタル信号 $P_{2p}, P_{1q}$ をAND演算するANDゲート手段 $G_{pq}$ と、該ANDゲート手段 $G_{pq}$ により生成された各デジタル信号を増幅し前記各スピーカ $S_{pq}$ に供給する増幅手段 $A_{pq}$ とを備えたことを特徴とする。

【0006】2) 本発明は、上記1)記載のスピーカ駆動装置において、ANDゲート手段 $G_{pq}$ と増幅手段 $A_{pq}$ との間にD/A変換手段 $D_{pq}$ を内挿したことを特徴とする。

## 【0007】

【発明の実施の形態】実施例の説明に先立ち、本発明で用いる1ビットアナログデジタル変換、デジタルアナログ変換について説明する。

【0008】音声信号のアナログデジタル、デジタルアナログ変換用として、1ビット精度のA-D、D-A変換器を用いて16ビット以上の精度を得る方式が開発されている。この方式はサンプリング周波数を十分高くしデータの個数を非常に多くすることにより、1ビットデータの粗密波によってアナログ波形を作る方法である(詳しくは、NHK放送技術研究所編「マルチメディア時代のデジタル放送技術辞典」p. 212-213, 288-289参照)(丸善、平成6年6月発行)。

【0009】以下の説明では、上記の方法によるデジタル信号を1ビットデジタル信号と呼ぶ。

【0010】以下、本発明の実施の形態を図面を参照して詳細に説明する。

【0011】＜第1の実施の形態＞図1は本発明の第1の実施の形態を示す。図1を説明する。スピーカ $S_{11} \sim S_{mn}$ がマトリックス状に配置してあり、同じくマトリックス状に交差するように、列選択信号線(以下、列選択線という) $C_{11} \sim C_{1n}$ と行選択信号線(以下、行選択線という) $C_{21} \sim C_{2m}$ が配線してある。ANDゲート $G_{11} \sim G_{mn}$ は、それぞれ、列選択線 $C_{11} \sim C_{1n}$ と行選択線 $C_{21}$